

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108490

(43)Date of publication of application : 10.04.2002

(51)Int.Cl.

G06F 1/04

H03L 7/08

H04J 11/00

H04L 7/00

(21)Application number : 2001-174355

(71)Applicant : SONY CORP

(22)Date of filing : 08.06.2001

(72)Inventor : NOMURA AOSHI
FUKAMI TADASHI
GOTO MASARU
KOIZUMI TAKAYOSHI

(30)Priority

Priority number : 2000224915
2000229512Priority date : 26.07.2000
28.07.2000

Priority country : JP

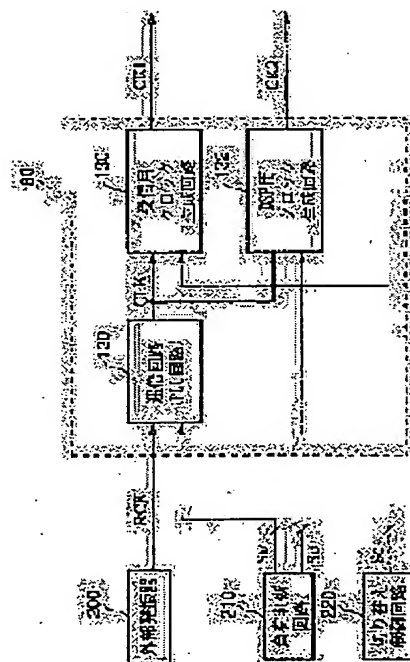
JP

(54) CLOCK SUPPLY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock supply circuit which can supply clocks of different frequencies to respective processing circuits only by using an external oscillator of a low frequency and in which a circuit configuration can be simplified and low power consumption can be realized.

SOLUTION: A multiplication circuit 120 multiplies a reference clock RCK and generates a multiplication clock signal CLK, a clock for reception generation circuit 130 performs frequency division of the multiplication clock signal CLK with a prescribed frequency division ratio and generates a clock signal CK1 having a desired constant frequency, a clock for DSP generation circuit 132 can supply the clock signal CK1 in which synchronization with a received signal is maintained and a clock signal CK2 whose frequency is variably controlled in accordance with a processing load, because the clock signal CK2 whose frequency can be varied in accordance with the processing load of a DSP with a frequency division ratio set in accordance with the decision results of a load decision circuit 210.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-108490

(P2002-108490A)

(43) 公開日 平成14年4月10日 (2002.4.10)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト (参考)
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 C 5 B 0 7 9
H 0 3 L 7/08		H 0 4 J 11/00	Z 5 J 1 0 6
H 0 4 J 11/00		H 0 4 L 7/00	F 5 K 0 2 2
H 0 4 L 7/00		H 0 3 L 7/08	H 5 K 0 4 7

審査請求 未請求 請求項の数17 O L (全 21 頁)

(21) 出願番号 特願2001-174355(P2001-174355)
(22) 出願日 平成13年6月8日(2001.6.8)
(31) 優先権主張番号 特願2000-224915(P2000-224915)
(32) 優先日 平成12年7月26日(2000.7.26)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願2000-229512(P2000-229512)
(32) 優先日 平成12年7月28日(2000.7.28)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 野村 青史
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72) 発明者 深見 正
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 100094053
弁理士 佐藤 隆久

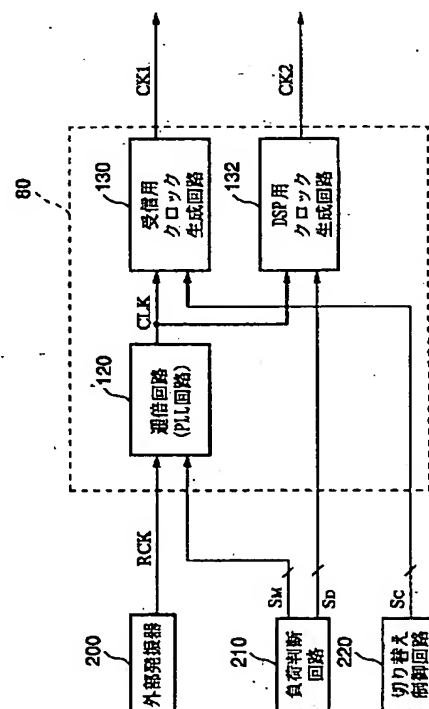
最終頁に続く

(54) 【発明の名称】 クロック供給回路

(57) 【要約】

【課題】 低周波数の外部発振器を用いるだけでそれぞれの処理回路に異なる周波数のクロック信号を供給でき、回路構成を簡略化でき、低消費電力化を実現できるクロック供給回路を提供する。

【解決手段】 通倍回路120によって基準クロックRCKを通倍し、通倍クロック信号CLKを生成し、受信用クロック生成回路130によって所定の分周比で通倍クロック信号CLKを分周して、所望の定周波数を持つクロック信号CK1を生成し、DSP用クロック生成回路132は、負荷判断回路210の判断結果に応じて設定した分周比で、DSPの処理負荷に応じて周波数可変なクロック信号CK2を生成するので、受信信号との同期が保たれるクロック信号CK1並びに処理負荷に応じて周波数が可変に制御されるクロック信号CK2を供給できる。



1

【特許請求の範囲】

【請求項 1】周波数が略固定する第 1 のクロック信号を第 1 の処理回路に供給する第 1 のクロック生成回路と、第 2 の処理回路の処理負荷を判断する負荷判断手段と、上記負荷判断手段の判断結果に応じて第 2 のクロック信号の周波数を可変に制御し、上記第 2 の処理回路に供給する第 2 のクロック生成回路とを有するクロック供給回路。

【請求項 2】上記第 1 の処理回路は、伝送路を介して伝送され、所定の周波数を持つ受信信号を復調し、ビットストリーム信号を生成する復調処理回路を含み、上記第 2 の処理回路は、上記復調処理回路によって出力された復調後のビットストリーム信号を復号処理する復号処理回路を含む請求項 1 記載のクロック供給回路。

【請求項 3】外部から供給される所定の周波数を持つ基準クロック信号を所定の通倍比で通倍した通倍クロック信号を生成する通倍回路をさらに有し、上記第 1 のクロック生成回路は、上記通倍クロック信号を所定の分周比で分周し、分周信号を上記第 1 のクロック信号として供給する第 1 の分周回路を含み、上記第 2 のクロック生成回路は、上記負荷判断手段の判断結果に応じて制御された所定の分周比で上記通倍クロック信号を分周し、分周信号を上記第 2 のクロック信号として供給する第 2 の分周回路を含む請求項 1 記載のクロック供給回路。

【請求項 4】上記第 1 のクロック信号を用いて受信信号を処理する上記第 1 の処理回路において、上記第 1 のクロック信号と上記受信信号とのタイミングのずれを検出し、当該検出の結果に応じて上記第 1 のクロック信号のタイミングを補正するタイミング補正手段をさらに有する請求項 1 記載のクロック供給回路。

【請求項 5】所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、

上記入力信号を処理するための中間クロック信号と、上記中間クロック信号より周波数が高い第 1 のクロック信号と、上記中間クロック信号より周波数が低い第 2 のクロック信号とを生成するクロック生成手段と、

上記中間クロック信号、上記第 1 のクロック信号または上記第 2 のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、

上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段とを有するクロック供給回路。

【請求項 6】上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、

2

上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、

上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記中間クロック信号、上記第 1 のクロック信号及び上記第 2 のクロック信号をそれぞれ生成する分周手段とを有する請求項 5 記載のクロック供給回路。

【請求項 7】上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第 1 のクロック信号及び上記第 2 のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う請求項 6 記載のクロック供給回路。

【請求項 8】上記中間クロック信号を生成する中間分周比と、上記第 1 のクロック信号を生成する第 1 の分周比と、上記第 2 のクロック信号を生成する第 2 の分周比との最小公倍数に応じて最大計数値が設定され、上記通倍クロック信号をカウントするカウンタを有し、

上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロックの切り替えを行う請求項 7 記載のクロック供給回路。

【請求項 9】上記所定の値は、0 または上記最大計数値である請求項 8 記載のクロック供給回路。

【請求項 10】上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号と上記第 1 のクロック信号との位相が揃っている所定の時間スパンを第 1 の切り替え時間単位として、上記中間クロック信号と上記第 1 のクロック信号との切り替えを行い、

開始時点と終了時点において上記中間クロック信号と上記第 2 のクロック信号との位相が揃っている所定の時間スパンを第 2 の切り替え時間単位として、上記中間クロック信号と上記第 2 のクロック信号との切り替えを行う請求項 5 記載のクロック供給回路。

【請求項 11】上記中間クロック信号を生成する中間分周比と、上記第 1 のクロック信号を生成する第 1 の分周比との最小公倍数に応じて第 1 の最大計数値が設定され、上記通倍クロック信号をカウントする第 1 のカウンタと、

上記中間クロック信号を生成する中間分周比と、上記第 2 のクロック信号を生成する第 2 の分周比との最小公倍数に応じて第 2 の最大計数値が設定され、上記通倍クロック信号をカウントする第 2 のカウンタとを有し、

上記切り替え手段は、上記第 1 のカウンタの計数値が第 1 の値に達するとき、上記中間クロック信号と上記第 1 のクロック信号との切り替えを行う第 1 の切り替え回路と、

上記第 2 のカウンタの計数値が第 2 の値に達するとき、上記中間クロック信号と上記第 2 のクロック信号との切り替えを行う第 2 の切り替え回路とを有する請求項 10 記載のクロック供給回路。

【請求項 12】上記第 1 の値は、0 または上記第 1 の最

大計数値であり、

上記第2の値は、0または上記第2の最大計数値である請求項1記載のクロック供給回路。

【請求項13】所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、

第1のクロック信号と、第1のクロック信号より周波数が低い第2のクロック信号とを生成するクロック生成手段と、

上記第1のクロック信号または上記第2のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、

上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段とを有するクロック供給回路。

【請求項14】上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、

上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記第1のクロック信号と上記第2のクロック信号とを生成する分周手段とを有する請求項13記載のクロック供給回路。

【請求項15】上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第1のクロック信号及び上記第2のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う請求項14記載のクロック供給回路。

【請求項16】上記第1のクロック信号を生成する第1の分周比と、上記第2のクロック信号を生成する第2の分周比との最小公倍数に応じて最大計数値が設定され、上記通倍クロック信号をカウントするカウンタを有し、上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロックの切り替えを行う請求項15記載のクロック供給回路。

【請求項17】上記所定の値は、0または上記最大計数値である請求項16記載のクロック供給回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、デジタル放送の受信用LSIにおいて、受信回路及びDSPなどの処理回路にクロック信号を供給するクロック供給回路、特に、放送信号に対する同期ずれの量に応じて受信回路に供給するクロック信号の周波数を切り替えることで送信信号との同期を保ち、また、処理回路の処理負荷などに応じて処理回路に供給するクロック信号の周波数

を制御するクロック供給回路に関するものである。

【0002】

【従来の技術】ディジタル音声放送(DAB: Digital Audio Broadcasting)の受信機では、放送局から送られてくるある一定の周期を持つ放送信号を受信し、受信信号に応じて信号の復調、復号処理を行い、音声信号を再生する。このため、放送信号を正確に再生するため、受信回路に供給されるローカルクロック信号が放送信号に対して時間軸上同期を保つ必要がある。即ち、放送信号と同じ周波数、例えば24MHzのクロック信号を受信回路に供給する必要がある。このため、例えば、従来の受信機においては、ローカルクロック信号を生成するクロック生成回路に電圧制御発振器を用いて、時間軸上受信信号とローカルクロック信号とのオフセット量(同期ずれの量)を検出し、検出結果に応じて発振器の発振周波数を制御することで、ローカルクロック信号と放送信号との同期を保っていた。

【0003】また、受信信号を処理する処理回路、例えば、DSPが含まれ、MPEGストリームの伸長処理及び復号処理などを行う処理回路に、処理負荷に応じて周波数が制御された周波数可変なクロック信号を供給することが望まれる。これは、DSPの処理能力が供給されるクロック信号の周波数に応じて決まり、クロック周波数が高いほどDSPの処理能力が高く、単位時間あたりでより多くの情報を処理できるからである。

【0004】ディジタル音声放送の場合、放送信号の規格に応じて放送信号が異なる。例えば、放送モードに応じて、OFDM変調信号における各シンボルのデータポイント数が異なる。このため、受信側では、OFDM復調されたMPEGストリームに対して、伸長処理を行うMPEG復号回路の処理負荷が放送モードによって変化する。

【0005】そこで、従来では、この問題を解決する方法として、受信回路では、DSPを複数個配置し、処理負荷を複数の処理回路に分散することで、各処理回路の負荷軽減をはかる。

【0006】

【発明が解決しようとする課題】ところで、上述した従来の方法では、同じブロックを複数持つこととなり、回路の規模が増大し、消費電力の増加を招き無駄が生じてしまう。そこで、もう一つの解決策として、外部発振器に高周波のクロックを発生させ、LSI内部ではこの高周波のクロック信号を分周することで、周波数が一定の基準クロック信号のほかに、DSPなどを含む処理回路に周波数可変の高周波クロック信号を供給する。しかし、外部クロック信号の周波数が高くなるとその消費電力が大きくなってしまふ。このため、従来では、DSPの処理が終了したあと、DSPへのクロック信号の供給を停止する、いわゆるスリープモード(Sleep mode)などで対応していた。このため、DSPの動作モードの

切り替えなどによって制御が複雑になり、十分な効果が得られないという不利益がある。

【0007】また、受信回路において、放送信号との同期を保つために、電圧制御発振器を用いて、時間軸上のオフセット量に応じて発振周波数を制御し、放送信号に同期するローカルクロック信号を発生する方法をとっていた。電圧制御発振器は、例えば、VCXO (Voltage Controlled Crystal Oscillator) など高価なものを用いるため、コストの増加を招き、さらに、オフセット量に応じて制御信号を生成してVCXOに出力するフィードバック制御を行うので、回路構成が複雑になり、回路規模が大きくなるという不利益がある。

【0008】本発明は、かかる事情に鑑みてなされたものであり、その目的は、信号処理回路に処理負荷に応じた周波数を持つクロック信号を供給でき、また、高周波のクロック信号をそれぞれ異なる分周比で分周クロック信号を生成し、放送信号との同期ずれの量に応じて分周クロック信号を切り替えて放送信号の受信回路に供給することで同期のずれを補正でき、回路構成の簡略化並びに低消費電力化を実現でき、コストの低減が図れるクロック供給回路を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明のクロック供給回路は、周波数が略固定する第1のクロック信号を第1の処理回路に供給する第1のクロック生成回路と、第2の処理回路の処理負荷を判断する負荷判断手段と、上記負荷判断手段の判断結果に応じて第2のクロック信号の周波数を可変に制御し、上記第2の処理回路に供給する第2のクロック生成回路とを有する。

【0010】また、本発明では、好適には、上記第1の処理回路は、伝送路を介して伝送され、所定の周波数を持つ受信信号を復調し、ビットストリーム信号を生成する復調処理回路を含み、上記第2の処理回路は、上記復調処理回路によって出力された復調後のビットストリーム信号を復号処理する復号処理回路を含む。

【0011】また、本発明では、好適には、外部から供給される所定の周波数を持つ基準クロック信号を所定の通倍比で通倍した通倍クロック信号を生成する通倍回路を有し、上記第1のクロック生成回路は、上記通倍クロック信号を所定の分周比で分周し、分周信号を上記第1のクロック信号として供給する第1の分周回路を含み、上記第2のクロック生成回路は、上記負荷判断手段の判断結果に応じて制御された所定の分周比で上記通倍クロック信号を分周し、分周信号を上記第2のクロック信号として供給する第2の分周回路を含む。

【0012】また、本発明では、好適には、上記第1のクロック信号を用いて受信信号を処理する上記第1の処理回路において、上記第1のクロック信号と上記受信信号とのタイミングのずれを検出し、当該検出の結果に応

じて上記第1のクロック信号のタイミングを補正するタイミング補正手段をさらに有する。

【0013】また、本発明のクロック供給回路は、所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、上記入力信号を処理するための中間クロック信号と、上記中間クロック信号より周波数が高い第1のクロック信号と、上記中間クロック信号より周波数が低い第2のクロック信号とを生成するクロック生成手段と、上記中間クロック信号、上記第1のクロック信号または上記第2のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段とを有する。

【0014】また、本発明では、好適には、上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記中間クロック信号、上記第1のクロック信号及び上記第2のクロック信号をそれぞれ生成する分周手段とを有する。

【0015】また、本発明では、好適には、上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第1のクロック信号及び上記第2のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う。

【0016】また、本発明では、好適には、上記中間クロック信号を生成する中間分周比と、上記第1のクロック信号を生成する第1の分周比と、上記第2のクロック信号を生成する第2の分周比との最小公倍数に応じて最大計数値が設定され、上記通倍クロック信号をカウントするカウンタを有し、上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロックの切り替えを行う。

【0017】また、本発明では、好適には、上記所定の値は、0または上記最大計数値である。

【0018】また、本発明のクロック供給回路では、好適には、上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号と上記第1のクロック信号との位相が揃っている所定の時間スパンを第1の切り替え時間単位として、上記中間クロック信号と上記第1のクロック信号との切り替えを行い、開始時点と終了時点において上記中間クロック信号と上記第2のクロック信号との位相が揃っている所定の時間スパンを第2の切り替え時間単位として、上記中間クロック信号と上

記第2のクロック信号との切り替えを行う。

【0019】また、本発明では、好適には、上記中間クロック信号を生成する中間分周比と、上記第1のクロック信号を生成する第1の分周比との最小公倍数に応じて第1の最大計数値が設定され、上記通倍クロック信号をカウントする第1のカウンタと、上記中間クロック信号を生成する中間分周比と、上記第2のクロック信号を生成する第2の分周比との最小公倍数に応じて第2の最大計数値が設定され、上記通倍クロック信号をカウントする第2のカウンタとを有し、上記切り替え手段は、上記第1のカウンタの計数値が第1の値に達するとき、上記中間クロック信号と上記第1のクロック信号との切り替えを行う第1の切り替え回路と、上記第2のカウンタの計数値が第2の値に達するとき、上記中間クロック信号と上記第2のクロック信号との切り替えを行う第2の切り替え回路とを有する。

【0020】また、本発明では、好適には、上記第1の値は、0または上記第1の最大計数値であり、上記第2の値は、0または上記第2の最大計数値である。

【0021】また、本発明のクロック供給回路は、所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、第1のクロック信号と、第1のクロック信号より周波数が低い第2のクロック信号とを生成するクロック生成手段と、上記第1のクロック信号または上記第2のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段とを有する。

【0022】また、本発明では、好適には、上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記第1のクロック信号と上記第2のクロック信号とを生成する分周手段とを有する。

【0023】また、本発明では、好適には、上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第1のクロック信号及び上記第2のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う。

【0024】また、本発明では、好適には、上記第1のクロック信号を生成する第1の分周比と、上記第2のクロック信号を生成する第2の分周比との最小公倍数に応じて最大計数値が設定され、上記通倍クロック信号をカウントするカウンタを有し、上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロッ

クの切り替えを行う。

【0025】さらに、本発明では、好適には、上記所定の値は、0または上記最大計数値である。

【0026】

【発明の実施の形態】本発明のクロック供給回路は、例えば、デジタル音声放送(DAB: Digital Audio Broadcasting)の受信信号処理LSIの内部に設けられ、当該信号処理用LSIの各ブロックにそれぞれクロック信号を供給するクロック供給回路である。

【0027】図1は本発明に係るクロック供給回路を含む信号処理LSIの全体の構成を示すブロック図である。図示のように、この信号処理LSIは、アナログ/デジタルコンバータ(A/D)10、DAFCブロック20、FFTブロック30、ビタビ復号(VITERBI)ブロック40、DSPブロック50、デジタル/アナログコンバータ(DAC)60、COLTブロック70、FCGブロック80、MIFブロック90、PIOブロック100及びテスト回路110によって構成されている。また、LSIの外部に、所定の周波数を持つ基準クロック信号RCKを生成する外部発振器と、DSPブロック50の処理負荷を判断する負荷判断回路210が備えられている。

【0028】FCGブロック80は、即ち、本発明に係るクロック供給回路である。図示のよに、FCGブロック80は、外部発振器200によって供給される基準クロック信号RCKに応じて、DAFCブロック20、FFTブロック30及びビタビ復号ブロック40にクロック信号CK1を供給し、さらに、DSPブロック50にクロック信号CK2を供給する。理想的に、クロック信号CK1は、受信されるDABの放送信号と完全に同期し、または、クロック信号CK2は、DSPブロック50の処理負荷に応じて周波数が可変に制御される。

【0029】デジタル音声放送において、音声情報はMPEGオーディオ規格に従って圧縮され、圧縮されたMPEGビットストリームに対して畳み込み符号化、時間インターリーブが施され、さらにOFDM変調方式で変調され、電波で送信される。なお、電波の伝搬経路におけるマルチパスの影響を抑制するために、放送側ではOFDM変調波に対して、時間軸上シンボルごとにガードインターバルが設けられ、ガードインターバルと有効シンボルからなる伝送シンボルで構成されるOFDM変調信号が実際に放送される。

【0030】受信側ではデジタル放送信号が受信アンテナによって受信され、受信信号から音声信号が復元される。例えば、図1に示すように、受信信号がまずフロントエンドに入力され、フロントエンドにおいて、受信信号に対して周波数変換及び増幅処理が行われ、中間周波信号S_{IF}が出力される。図1に示すLSIは、中間周波信号S_{IF}をデジタル化して、さらにフーリエ変換、ビタビ復号などの信号処理によって音声データを復元

し、MPEG復号処理で得られた音声データをデジタル／アナログ変換によって音声信号に再生する受信及び信号処理など複数の機能を有する。

【0031】以下、各ブロックの機能について説明する。A/Dコンバータ10は、フロントエンドから入力されるアナログ信号 S_{IF} をデジタル信号に変換し、変換されたデータ D_{in} をDAFCブロック20及びCOLTブロック70に出力する。DAFCブロック20は、DIQ（直交分離）フィルタ、隣接妨害除去フィルタ及び周波数オフセット修正回路の三つの回路によって構成されている。DIQフィルタは、A/Dコンバータ10によってサンプルされたデータに対して、直交するI成分とQを分離する。隣接妨害除去フィルタは、DAB放送信号の占有する周波数帯域以外の信号成分を除去する。そして、周波数オフセット修正回路は、DSPブロック50によって算出したキャリア単位以下の周波数オフセットをゼロにするため、所定のアルゴリズムを採用して演算を行う。

【0032】FFTブロック30は、受信された各OFDMシンボルを復調するためのFFT処理を行う。なお、放送信号のモードによって、1シンボルの継続時間及びデータのポイント数が異なるため、FFTブロック30は、予め得られたモード情報などに従って、FFT変換のポイント数を定める。FFT変換によって得られたIデータとQデータがビタビ復号ブロック40に出力される。

【0033】ビタビ復号ブロック40は、FFTブロック30から送られてきたIデータとQデータに対して、周波数デインターリーブ、時間デインターリーブ及びビタビ復号などの処理を行い、フレーム単位でDAB信号を生成し、DSPブロック50に出力する。

【0034】DSPブロック50は、ビタビ復号ブロック40によって出力されるフレーム単位の音声信号をMPEGオーディオ信号の符号化方式に従って復号（デコード）し、PCM（Pulse Code Modulation）データを生成する。FFTブロック30及びビタビ復号ブロック40によって得られたDAB信号は、MPEGオーディオ符号化方式に従って圧縮され、符号化されたMPEGビットストリームである。このため、DSPブロック50では、MPEGオーディオの符号化方式に従って受信したビットストリームを復号することによって、圧縮された音声信号が伸長され、元のPCMデータが復元される。D/Aコンバータ（DAC）60は、DSPブロック50によって復元されたPCMデータをアナログ信号に変換し、音声信号を出力する。

【0035】COLTブロック70は、シンボルデータ取得回路、タイムベース回路、及び関連演算回路によって構成されている。シンボルデータ取得回路は、DAFCブロック20から出力されるIQデータをもとに、シンボルデータを取得する。タイムベース回路は、ローカ

ルタイムカウンタを設けて、当該タイムカウンタによって、DSPブロック50に一定の時間間隔で基本割り込み信号を供給し、さらに、FFTブロック30にフレームの先頭を知らせるフレーム同期信号を供給する。関連演算回路は、IQデータそれぞれにおけるガードバンドのデータと有効シンボルとの相関値を計算し、さらにガードバンドの長さ分の移動平均ベクトルとそのスカラー値を算出する。このガードバンドの移動平均値のスカラー値に基づいて、ヌルシンボルの該当する位置が検出され、これに応じて、タイムベース回路のローカルタイムカウンタのリセットが制御される。

【0036】FCGブロック80は、他のブロックにクロック信号を供給する。例えば、FCGブロック80は、外部に設けられている外部発振器200によって発生された基準クロックRCKに応じて、所定の周波数を持つ第1のクロック信号CK1を生成し、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に供給する。また、FCGブロック80は、DSPブロックの処理負荷に応じて周波数が制御される第2のクロック信号CK2を生成して、DSPブロック50に供給する。

【0037】本発明では、外部発振器200は安定した発振周波数で発振し、基準クロックRCKを提供するので、基準クロック信号RCKに基づいて生成される第1のクロック信号CK1及び第2のクロック信号CK2は、安定した発振周波数を持つ。しかし、外部発振器200は、固定の発振周波数で基準クロックRCKを供給するため、FCGブロック80によって生成されたクロック信号CK1と受信した放送信号が完全に同期しない。このため、同期のずれによって時間軸上オフセットが発生する。本発明のクロック供給回路において、同期のずれによって生じる時間軸上のオフセット量を検出し、当該検出結果に従って、基準クロックRCKを異なる通倍率で通倍して生成される周波数の異なる複数のクロック信号を切り替えることによって、同期のずれを補正し、高価な電圧制御発振器の代わりに周波数固定の外部発振器を用いて受信信号との同期を維持することが可能である。

【0038】また、FCGブロック80は、外部に設けられている負荷判断回路210の判断結果に応じて、DSPブロック50の処理負荷に応じて周波数が可変な第2のクロック信号CK2を生成し、DSPブロック50に供給する。このため、FCGブロック80によって、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に安定した周波数のクロック信号CK1を供給でき、また、DSPブロック50に、その処理負荷に応じて周波数が制御されるクロック信号CK2を供給できる。

【0039】MIFブロック90は、ローカルバスの入出力を制御する。PIOブロック100は、フロントエ

ンドまたは他の外部回路に制御信号を出力し、フロントエンドまたは他の外部回路からの制御信号SCLをLSIに入力するインターフェースとしての役割を果たす。

【0040】テスト回路110は、通常モードとテストモードの二つの動作状態を有する。図1に示すように、テスト回路110は、外部から入力されるモード制御信号MSCに応じて動作モードが制御される。テストモードのとき、テスト回路110は、DAFCブロック20、FFTブロック30、ピタビ復号ブロック40、及びDSPブロック50の出力信号のうち、何れかを選択して外部に出力する。また、テスト回路110は、外部からのテスト信号TSGをこれらの内部ブロックの何れかに入力する。通常モードのとき、テスト回路110において各入出力端子がすべて固定のレベルに保持され、またはハイインピーダンス状態に保持される。

【0041】以下、本発明に係るクロック供給回路（即ち、FCGブロック80）のそれぞれの実施形態を例に挙げて、その構成及び動作について詳しく説明する。ここで、まず、本発明に係るクロック供給回路の第1の実施形態を説明し、そして、本発明に係るクロック供給回路の第2～第4の実施形態、即ち、本発明のクロック供給回路のうち、受信回路にクロック信号CK1を供給する部分回路について説明する。

【0042】第1実施形態

図2は、本発明のクロック供給回路の第1の実施形態を示す回路図である。図示のように、このクロック供給回路80は、通倍回路（PLL回路）120、受信用クロック生成回路130、及びDSP用クロック生成回路132によって構成されている。

【0043】外部発振器200は、基準クロックRCKを生成し、通倍回路120に出力する。負荷判断回路210は、DSPブロックの処理負荷を判断し、その判断結果に従って、通倍比を制御する制御信号 S_M を生成し、通倍回路120に出力する。また、負荷判断回路210は、分周比を制御する分周比制御信号 S_D を生成し、DSP用クロック生成回路132に出力する。切り替え制御回路220は、受信用クロック信号の切り替えを制御する切り替え制御信号 S_C を生成し、受信用クロック生成回路130に供給する。

【0044】本実施形態のクロック供給回路80において、通倍回路120は、外部発振器200によって生成した基準クロックRCKに基づき、通倍比制御信号 S_M に応じて設定された通倍比 M で通倍クロック信号CLKを生成し、受信用クロック生成回路130及びDSP用クロック生成回路132に出力する。通倍回路120は、例えば、位相比較器、チャージポンプ、電圧制御発振器（VCO）及び分周器によって構成されたPLL回路であり、分周器の分周比によって生成されるクロック信号CLKの通倍比 M が規定される。

【0045】受信用クロック生成回路130は、通倍ク

ロック信号CLKを所定の分周比で周波数の異なる複数の分周クロック信号を生成し、さらに、切り替え制御回路220からの切り替え制御信号 S_C に応じて、複数の分周クロック信号から一つを選択して、受信用クロック信号CK1として出力する。DSP用クロック生成回路132は、負荷判断回路210によって出力される分周比制御信号 S_D に応じた分周比 N で通倍クロック信号CLKを分周し、分周されたクロック信号をDSP用クロック信号CK2として、例えば、DSPブロック50に供給する。

【0046】DSPブロック50の処理負荷は、受信されるデジタル放送信号の放送モード、放送信号の内容などによって決定される。例えば、放送モードによって、放送されたOFDM変調波におけるシンボル長、ガードインターバル長などが異なるので、DSPブロック50において、復調されたシンボルのデータを取り出してMPEGオーディオ圧縮方式に従って伸長処理を行う場合の処理負荷が異なる。デジタル放送信号が採用されている放送モードは、放送信号の各フレームの先頭に配置されているヘッダに記述されている。

【0047】このため、負荷判断回路210では、受信されたヘッダ情報から現在放送されている信号の放送モードを読み取ることができる。そして、放送モードに応じてDSPブロックの処理負荷を推定することができ、この推定結果に応じて、DSPブロックに供給されるクロック信号CK2の周波数を制御する通倍比制御信号 S_M 及び分周比制御信号 S_D が生成される。負荷判断回路210は、放送信号の各フレームのヘッダ情報を読み取る専用回路によって構成することができる。なお、通常、DAB受信回路では、電波信号を変調・増幅するフロントエンド、受信用LSI、ユーザインターフェース及び他の関連する回路の動作を制御する制御用CPUは、ヘッダ情報を読み取り、それに応じて制御を行うので、負荷判断回路210の機能は、この制御用CPUによって実現することができる。この場合、負荷判断回路210は、CPUの処理を制御する命令コード、即ち、ソフトウェアとこのソフトウェアを実行するCPUによって構成されると見ることができる。

【0048】以下、図3を参照しながら、通倍回路120の構成及び動作について説明する。図3に示すように、通倍回路120は、位相比較器（PD）310、チャージポンプ320、ローパスフィルタ（LPF）330、電圧制御発振回路（VCO）340及び分周器350によって構成されている。ここで、通倍回路120に入力される基準クロックRCKの周波数を f_0 とし、VCO340の出力クロック信号CLKの周波数を f_1 とする。また、分周器350の分周比を M とすると、分周器350によって出力される分周クロック信号CKdの周波数は、 (f_1/M) である。

【0049】位相比較器310は、基準クロックRCK

と分周クロック信号CKdとの位相を比較し、当該比較結果に応じて、アップ信号S_{UP}またはダウン信号S_{DN}を出力する。チャージポンプ320は、位相比較器310からのアップ信号S_{UP}またはダウン信号S_{DN}に応じて、チャージ電流またはディスチャージ電流を出力するので、当該チャージポンプ320の出力端子に接続されている負荷容量が充電または放電され、出力電圧V_Cが制御される。

【0050】ローパスフィルタ330は、チャージポンプ320の出力電圧V_Cに含まれている高周波成分を除去し、低周波成分からなる制御信号をVCO340に出力する。VCO340は、入力される制御信号に応じて発振周波数が制御され、クロック信号CLKを出力する。分周器350は、分周比Mでクロック信号CLKを分周し、分周クロック信号CKdを位相比較器310に出力する。

【0051】このように構成された通倍回路120において、分周クロック信号CKdと基準クロックRCKの位相が一致するようにフィードバック制御が行われる。その結果、分周クロック信号CKdの周波数f₁/Mが基準クロックRCKの周波数f₀と一致する状態でPLL回路がロックされるので、VCO340の発振周波数、即ち、クロック信号CLKの周波数f₁は次式によって求められる。

【0052】

【数1】

$$f_1 = f_0 \times M \quad \dots (1)$$

【0053】即ち、通倍回路120に供給される基準クロックRCKの周波数f₀及び分周器350の分周比Mが決まれば、通倍回路120によって生成される通倍クロック信号CLKの周波数f₁が式(1)で決まる。

【0054】分周器350の分周比Mは、例えば、図2に示すように、負荷判断回路210から入力される通倍比制御信号S_Mに応じて制御される。通倍比制御信号S_Mは、DSPブロックの処理負荷に応じて制御され、これに応じて通倍回路120の通倍比が制御されるので、通倍されたクロック信号CLKの周波数が制御される。例えば、外部発振器200によって供給される基準クロックRCKの周波数f₀を24.576MHzとすると、通倍比制御信号S_Mに応じて、通倍回路120の通倍比Mが4に制御される場合、クロック信号CLKの周波数は、98.304MHzになる。

【0055】このとき、例えば、DSPブロックの処理負荷に応じて、負荷判断回路210によって出力される分周比制御信号S_Dに応じて、DSP用クロック生成回路132の分周比がそれぞれ2、4または8に制御される場合、DSPブロックに供給されるクロック信号CK2の周波数は、それぞれ49.152MHz、24.576MHz及び12.288MHzとなる。

【0056】例えば、負荷判断回路210によって、D

S_Pブロックの負荷が大きいと判断した場合、分周比制御信号S_DによってDSP用クロック生成回路132の分周比が2に設定される。これに応じて、クロック信号CLKの周波数が49.152MHzに制御されるので、DSPブロックが高速なクロック信号CLKによって駆動され、高い処理負荷に対応できる。一方、負荷判断回路210によって、DSPブロックの負荷が小さいと判断した場合、分周比制御信号S_DによってDSP用クロック生成回路132の分周比が8に設定される。これに応じて、クロック信号CLKの周波数が12.288MHzに制御されるので、DSPブロックが低速なクロック信号CLKによって駆動され、低い処理負荷に対応でき、また、クロック信号CLKの周波数を低く制御することによって、低負荷のときDSPブロックの消費電力の低減を実現できる。

【0057】図4は、本実施形態のクロック供給回路によって生成されたクロック信号CK1、CK2の一例を示す波形図である。この例では、外部発振器200によって生成された基準クロックRCKの周波数f₀は、例えば、24.576MHzであり、通倍回路120の通倍比Mは、例えば、4である。このため、通倍回路120によって、f₁=98.304MHzの通倍クロック信号CLKが生成される。負荷判断回路210からの分周比制御信号S_Dによって、例えば、DSP用クロック生成回路132の分周比N=2に制御されているとき、DSP用クロック生成回路132から出力されるクロック信号CK2の周波数は、49.152MHzとなり、また、分周比制御信号S_Dによって分周比N=4に制御されているとき、DSP用クロック生成回路132から出力されるクロック信号CK2の周波数は、24.576MHzとなる。

【0058】図4(a)は、外部発振器200によって生成される基準クロック信号RCKの波形を示し、図4(b)は、通倍回路120によって生成された通倍クロック信号CLKの波形を示している。なお、図示の例において、通倍回路120の分周比Mは、例えば4である。図4(c)は、受信用クロック生成回路130によって出力される受信用クロック信号CK1の波形を示している。ここで、受信用クロック信号CK1は、例えば、分周比4を用いて通倍クロック信号CLKを通倍して生成される分周クロック信号である。図4(d)は、分周比N=2のとき、DSP用クロック生成回路132によって生成されるクロック信号CK2の波形を示し、図4(e)は、分周比N=4のとき、DSP用クロック生成回路132によって生成されるクロック信号CK2の波形を示し、図4(f)は、分周比N=8のとき、DSP用クロック生成回路132によって生成されるクロック信号CK2の波形を示している。

【0059】以上説明したように、本実施形態によれば、外部発振器200によって供給される基準クロック

RCKを過倍回路120によって過倍し、過倍クロック信号CLKを生成する。負荷判断回路210によって信号処理回路、例えば、DSPブロックの処理負荷を判断し、その判断結果に応じてDSP用クロック生成回路132の分周比Nを設定し、DSPの処理負荷に応じた周波数のクロック信号CK2をDSPブロックに供給する。これによって、DSPブロックに処理負荷に応じて周波数が制御されるクロック信号CK2を供給されるので、クロック信号CK2の周波数を可変に制御でき、高負荷時に高速な処理を実現でき、低負荷時に消費電力の低減を実現できる。

【0060】なお、図2に示す本実施形態のクロック供給回路80において、負荷判断回路210の判断結果に応じて供給される過倍比制御信号 S_M に応じて、過倍回路120の過倍比が制御されるが、本発明はこの構成に限定されることはなく、例えば、過倍回路120は固定の過倍比で外部発振器200によって生成した基準クロック信号RCKを過倍し、過倍クロック信号CLKを生成する構成にすることもできる。ただし、負荷判断回路210の判断結果に応じて、過倍回路120の過倍比M及びDSP用クロック生成回路132の分周比Nを同時に制御することによって、DSP用クロック生成回路132によって出力されるクロック信号CK2の周波数の調整可能な範囲は、分周比Nのみを制御する場合に較べて広くとることが可能である。

【0061】第2実施形態

図5は、本発明のクロック供給回路の第2の実施形態を示す回路図であり、特に受信回路に受信用クロック信号を供給する受信用クロック生成回路の一構成例を示す回路図である。図示のように、本実施形態において、受信用クロック生成回路130aは、クロック切り替え回路140、カウンタ150、及び分周回路160によって構成されている。

【0062】外部発振器200は、所定の周波数を持つ基準クロックRCKを発生する。なお、本発明において外部発振器200に高い精度を要求せず、通常の水素発振器(XO)を用いても十分である。切り替え制御回路220は、例えば、図1に示すCOLTブロック70の内部に設けられている回路である。切り替え制御回路220は、COLTブロック70において検出された時間軸上のオフセット量に応じて、切り替え制御信号 S_C を生成し、クロック切り替え回路140に出力する。

【0063】以下、本実施形態のクロック供給回路130aの各部分について説明する。過倍回路120は、上述したようにPLL回路によって構成されている。過倍回路120は、外部発振器200から入力される基準クロックRCKを所定の過倍比で過倍し、高い周波数を持つクロック信号CLKを生成する。ここで、例えば、基準クロックRCKの周波数 f_0 を24.576MHzとして、過倍回路120の過倍比Nを4とすると、クロッ

ク信号CLKの周波数 f_1 は、 $f_0 \times N = 98.304$ MHzとなる。

【0064】分周回路160は、クロック信号CLKをそれぞれ異なる分周比で分周し、異なる周波数を持つ複数の分周クロック信号を生成する。ここで、例えば、分周回路130は、三つの分周器から構成され、これらの分周器はそれぞれ分周比 n_1 、 n_2 及び n_3 でクロック信号CLKを分周し、三つの分周クロック信号CKD1、CKD2及びCKD3を出力する。例えば、 $n_1 = 3$ 、 $n_2 = 4$ 及び $n_3 = 5$ とすると、分周クロック信号CKD1、CKD2及びCKD3の周波数は、それぞれ32.768MHz、24.576MHz及び19.660MHzとなる。

【0065】図6は、分周回路160の一構成例を示すブロック図である。図示のように、分周回路160は、3分周回路160-1、4分周回路160-2、及び5分周回路160-3によって構成されている。これらの分周回路は、入力されるクロック信号CLKをそれぞれ異なる分周比で分周し、分周クロック信号CKD1、CKD2及びCKD3を出力する。分周回路160を構成する各分周回路は、60進カウンタ150のカウント値CNTに応じてクロック分周を行う。例えば、3分周回路160-1では、カウント値CNTが0、3、6、…のとき、クロック信号CLKを出力し、4分周回路160-2では、カウント値CNTが0、4、8、…のとき、クロック信号CLKを出力し、5分周回路160-3では、カウント値CNTが0、5、10、…のとき、クロック信号CLKを出力する。これによって、これらの分周回路から入力クロック信号CLKをそれぞれ3分周、4分周及び5分周した分周クロック信号CKD1、CKD2及びCKD3が出力される。

【0066】クロック切り替え回路140は、切り替え制御信号 S_C 及びカウンタ150のカウント値CNTに応じて、三つの分周クロック信号CKD1、CKD2及びCKD3から一つを選択して出力する。クロック切り替え回路140によって選択されたクロック信号CK1が、図1に示すように、受信用LSIのA/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に供給される。これらのブロックにおいて、クロック信号CK1によって設定されたタイミングで受信信号が処理される。例えば、FFTブロック30において、クロック信号CK1のタイミングで受信信号のI成分とQ成分に対してFFT処理が行われ、受信信号がOFDM復調される。さらに、ビタビ復号ブロック40において、クロック信号CK1のタイミングでビタビ復号処理が行われる。クロック信号CK1と受信信号とは完全に同期しないので、時間軸上にオフセットが生じる。

【0067】カウンタ150は、過倍回路120によって出力されるクロック信号CLKをカウントし、カウン

ト値CNTをクロック切り替え回路140に出力する。クロック切り替え回路140は、切り替え制御回路220からの切り替え制御信号 S_C に応じて切り替える分周クロック信号を選択し、カウント値CNTに応じて切り替えのタイミングを設定する。なお、クロック切り替えの動作について後にさらに詳しく説明する。

【0068】次に、時間軸上のオフセットの検出方法について説明する。時間軸上のオフセットは、LSI内部のCOLTブロック70によって検出される。上述したように、COLTブロック70は、シンボルデータ取得回路、タイムベース回路、及び相関演算回路によって構成されている。相関演算回路は、受信信号にある同期用シンボル(TFRPシンボル)とリファレンスシンボルとの相関演算を行い、周波数軸及び時間軸上のオフセット量を計算する。以下、DAB放送信号のフレームの構成を参照しつつ、オフセット量の演算方法について説明する。

【0069】DAB放送信号は、フレーム単位で送信される。図7は、DAB放送信号のフレームの一構成例を示している。図示のように、DAB放送信号のフレームは、データを含まないヌルシンボル(NULL)、同期シンボルTFRP及び情報データ(Contents Data)を含むデータシンボルによって構成されている。ヌルシンボルは、各フレームの先頭に配置され、通常受信側ではフレームの先頭を識別するために用いられる。

【0070】同期シンボルは、ヌルシンボルの直後に配置されている。同期シンボルは、例えば、DAB放送の信号規格によって決められたデータ列によって構成されている。このデータ列は、所定のパターンを持ち、好ましくは、相関処理によって鋭いピークが現れるなどの特徴を有する。DAB受信機は、リファレンスシンボルとして、同期シンボルと同じパターンを持つデータ列を予め記憶されている。DAB放送信号を受信するとき、COLTブロック70において、このリファレンスシンボルを用いて、同期のずれ、即ち、時間軸上のオフセット量を検出する。

【0071】図8は、オフセットの検出過程におけるヌルシンボル及び同期シンボルのデータの流れを示す図である。以下、図8を参照しつつ、オフセットの検出について説明する。図8に示すように、A/Dコンバータ10によって量子化された受信データ D_{in} がDAFCブロック20によって直交分離され、IデータとQデータが得られる。COLTブロック70は、IデータとQデータに応じて、まず、ヌルシンボルを検出し、フレームの先頭を見つける。ヌルシンボルを検出したとき、FFTブロック30によってOFDM復調された復調データ(IデータとQデータ両方を含む)から、同期シンボルTFRPを取り出す。そして、この同期シンボルとリファレンスシンボルRSYNとの相関演算を行う。

【0072】図1に示すように、DAFCブロック20、FFTブロック30、ビタビ復号ブロック40、及びCOLTブロック70は、クロック供給回路(FCGブロック80)によって供給されたクロック信号CK1で動作する。このため、クロック信号CK1と受信信号が完全に同期している場合、FFTブロック30から出力された同期シンボルTFRPが正確に復元されるので、リファレンスシンボルとの相関演算処理によって、所望の相関値が得られる。一方、クロック信号CK1と受信信号との同期がずれている場合、リファレンスシンボルとの相関演算の結果、所望の相関値と異なる値が算出される。同期ずれの量、即ち、時間軸上のオフセット量に応じて、相関値がそれぞれ異なるので、算出された相関値に応じて時間軸上のオフセット量を推定できる。

【0073】COLTブロック70に設けられている切り替え制御回路220によって、推定されたオフセット量に応じて、切り替え制御信号 S_C が生成され、クロック切り替え回路140に出力される。例えば、時間軸上のオフセットの検出結果に応じて、受信信号の処理タイミングがDAB放送信号より遅れている場合、切り替え制御回路220は、クロック信号CK1の周波数を高い方に切り替える切り替え制御信号 S_C を出力し、一方、オフセットの検出結果に応じて、受信信号の処理タイミングがDAB放送信号より進んでいる場合、切り替え制御回路220は、クロック信号CK1の周波数を低い方に切り替える切り替え制御信号 S_C を出力する。なお、オフセット検出結果に応じて、受信タイミングがDAB放送信号と同期している場合、切り替え制御回路220は、現在のクロック信号CK1の周波数を維持する制御信号 S_C を出力する。

【0074】即ち、切り替え制御信号 S_C は、三つの分周クロック信号CKD1、CKD2及びCKD3のうち一つを指定できればよい。このため、例えば、切り替え制御信号 S_C が2ビットのデータからなり、この2ビットのデータと指定する分周クロック信号との関係を予め設定しておけば、クロック切り替え回路140は、入力される2ビットの制御データに応じて分周クロック信号CKD1、CKD2及びCKD3から一つを選択して、カウンタ150から入力されるカウント値CNTによって設定されたタイミングでクロックの切り替えを行う。

【0075】以下、クロック切り替え回路140の動作について説明する。上述したように、クロック切り替え回路140は、切り替え制御信号 S_C に応じて、分周回路130によって出力された三つの分周クロック信号CKD1、CKD2、CKD3の何れかを選択して、カウント値CNTによって設定したタイミングで切り替えを行う。ここで、クロック信号CKD1、CKD2、CKD3の周波数をそれぞれ32.768MHz、24.576MHz及び19.660MHzとすると、例えば、クロック切り替え回路140によってクロック信号CK

D2を出力している間、切り替え制御回路220から、クロック周波数を高い方に切り替える制御信号 S_C を受けた場合、クロック切り替え回路140は、クロック信号CKD1を選択する。逆に、クロック切り替え回路140によってクロック信号CKD2を出力している間、切り替え制御回路220から、クロック周波数を低い方に切り替える制御信号 S_C を受けた場合、クロック切り替え回路140は、クロック信号CKD3を選択する。

【0076】クロック切り替え回路140において、クロック信号の切り替えは、切り替えの対象となるクロック信号の位相が揃っているときに行われることによって、切り替え時タイミングのずれを防止でき、切り替えによるクロックタイミングの破綻を防ぐことができる。本実施形態のクロック供給回路において、カウンタ150は60進のカウンタであり、そのカウント値CNTが初期値0になるとき、分周クロック信号CKD1、CKD2及びCKD3の位相が一致するので、クロック切り替え回路140において、カウンタ150のカウント値CNTが初期値、即ちCNT=0のときクロックの切り替えを行う。

【0077】図9は、クロック切り替え回路140の切り替え制御を示すフローチャートである。以下、図9を参照しつつ、クロック切り替え回路140の動作について説明する。まず、ステップS1において、クロックの同期ずれの検出結果に応じて、クロック切り替え要求が、例えば、切り替え制御回路220によって出力される。なお、クロックの同期ずれの検出は、上述したように、COLTブロック70における相関演算によって行われる。例えば、クロック切り替え回路140によって分周クロック信号CKD1、CKD2及びCKD3のうち、中間の周波数を持つ分周クロック信号CKD2を受信用クロック信号CK1として受信回路に出力しているとき、同期ずれの検出結果、受信回路に供給されるクロック信号CK1が受信される放送信号より遅い場合、速いクロック信号、即ち、分周クロック信号CKD1に切り替える制御信号 S_C が出力され、逆に、受信回路に供給されるクロック信号CK1が受信される放送信号より速い場合、遅いクロック信号、即ち、分周クロック信号CKD3に切り替え制御信号 S_C が出力される。

【0078】次に、クロック切り替え回路140において、カウント値CNTが0になっているか否かが判断される(ステップS2)。カウント値CNTが0になると、即ち、分周クロック信号CKD1、CKD2及びCKD3の位相が揃っているとき、クロックの切り替えが行われる(ステップS3)。このとき、クロック切り替え回路140は切り替え制御信号 S_C によって指定した分周クロック信号を受信用クロック信号CK1として選択し、カウント値CNTが0になるタイミングで出力する。

【0079】上述したステップS1～S3の処理は、受

信回路が動作している間に繰り返して行われるので、受信用クロック信号CK1と受信された放送信号との同期のずれに応じて、周波数の異なる三つの分周クロック信号CKD1、CKD2及びCKD3のうち何れか一つが選択され、受信用クロック信号CK1として受信回路に供給されるので、受信用クロック信号と放送信号との同期ずれを補正することができる。

【0080】以下、図10に示す波形図を参照しつつ、クロック切り替えに伴う受信用クロック信号CK1の状態遷移を説明する。図10は、カウンタ150のカウント値CNT並びにクロック信号CLK、分周クロック信号CKD1、CKD2、CKD3及び切り替え回路140によって出力されるクロック信号CK1の波形を示している。図10(a)は、カウント値CNTを示し、図10(b)はクロック信号CLKの波形を示し、図10(c)～(e)は、分周クロック信号CKD1、CKD2、CKD3の波形を示している。そして、図10(f)及び(g)は、クロックの切り替えによる出力クロック信号CK1の波形の変化を示している。

【0081】上述したように、クロック信号CKD1、CKD2とCKD3は、それぞれクロック信号CLKから、分周比 $n_1=3$ 、 $n_2=4$ 及び $n_3=5$ で得られた分周信号である。即ち、カウンタ150の初期値を0とすると、カウント値CNT=0、3、6…のとき、クロック信号CKD1が出力され、カウント値CNT=0、4、8…のとき、クロック信号CKD2が出力され、カウント値CNT=0、5、10…のとき、クロック信号CKD3が出力される。分周比3、4及び5の最小公倍数は60であるので、クロック信号CLKが60周期毎に、分周クロック信号CKD1、CKD2とCKD3の位相が揃う。即ち、カウント値CNTが0のとき、三つの分周信号CKD1、CKD2とCKD3の位相が一致するので、このときクロックの切り替えを行うことで、タイミングの破綻を防ぐことができる。

【0082】本実施形態のクロック切り替え回路140は、上述したように、カウント値CNTが0のとき、クロック切り替えを行う。例えば、放送信号に対して、受信用クロック信号CK1が遅い場合、切り替え制御信号 S_C に応じて、受信用クロック信号CK1が速いクロック信号CKD1に切り替えられる。図5(a)と(f)に示すように、例えば、カウント値CNTが0になるとき、クロック信号CKD2からCKD3に切り替えられる。

【0083】即ち、図10(g)に示すように、例えば、期間T1において出力クロック信号CK1としてCKD2が受信回路に供給され、同期ずれの検出結果に応じて速いクロック信号を要求する切り替え制御信号 S_C が出力される場合、カウント値CNTが0になるタイミングで、クロック切り替えが行われ、次の期間T2において出力クロック信号CK1として分周クロック信号C

CKD1が選択される。逆に、図10(f)に示すように、期間T1において出力クロック信号CK1としてCKD2が受信回路に供給され、同期ずれの検出結果に応じて遅いクロック信号を要求する切り替え制御信号Scが出力される場合、カウント値CNTが0になるタイミングで、クロック切り替えが行われ、次の期間T2において出力クロック信号CK1として分周クロック信号CKD3が選択される。

【0084】上述同様、クロック信号CKD3からクロック信号CKD2への切り替え、また、クロック信号CKD1とCKD2への切り替えもカウント値CNTが0になるタイミングで行う。これにより、クロック信号の切り替えは常に切り替え対象となるクロック信号の位相が揃ったときに行われるので、クロックの切り替えによるタイミングの破綻を防止できる。

【0085】第3実施形態

図11は、本発明に係るクロック供給回路の第3の実施形態を示す回路図であり、受信回路に受信用クロック信号を供給する受信用クロック生成回路のもう一つの構成例を示す回路図である。図示のように、本実施形態において、受信用クロック生成回路130bは、クロック切り替え回路142、カウンタ152、154、及び分周回路162によって構成されている。

【0086】上述した本発明の第2の実施形態において、クロック切り替え回路140は、60進カウンタ150のカウント値CNTに応じて、クロックの切り替えを行う。本実施形態の受信用クロック生成回路130bでは、二つのカウンタ152と154が設けられ、これらのカウンタのカウント値に応じて、クロック信号CKD1とCKD2との切り替え、またはクロック信号CKD3とCKD2との切り替えがそれぞれ制御される。

【0087】本実施形態のクロック供給回路130bにおいて、逡倍回路120は、外部発振器200によって供給される基準クロック信号RCKに基づき、逡倍クロック信号CLKを生成し、分周回路162、カウンタ152及び154に供給する。分周回路162は、それぞれの所定の分周比でクロック信号CLKを分周し、分周クロック信号CKD1、CKD2及びCKD3を出力する。

【0088】図12は、本実施形態における分周回路162の一構成例を示すブロック図である。本実施形態において、例えば、分周クロック信号CKD1、CKD2及びCKD3を生成するための分周比をそれぞれ $n1=3$ 、 $n2=4$ 及び $n3=5$ とすると、 $n1$ と $n2$ の最小公倍数は12となり、 $n2$ と $n3$ の最小公倍数は20となる。これに応じて、カウンタ152は12進であり、カウンタ154は、20進である。

【0089】図示のように、分周回路162は、3分周回路162-1、4分周回路162-2、及び5分周回路162-3によって構成されている。これらの分周回

路は、入力されるクロック信号CLKをそれぞれ異なる分周比で分周し、分周クロック信号CKD1、CKD2及びCKD3を出力する。分周回路162を構成する各分周回路は、12進カウンタ152のカウント値CNT1及び20進カウンタ154のカウント値CNT2に応じてクロック分周を行う。例えば、3分周回路162-1では、カウント値CNT1が0、3、6、…のとき、クロック信号CLKを出力し、4分周回路162-2では、カウント値CNT1が0、4、8、…のとき、クロック信号CLKを出力し、5分周回路162-3では、カウント値CNT2が0、5、10、…のとき、クロック信号CLKを出力する。これによって、これらの分周回路から入力クロック信号CLKをそれぞれ3分周、4分周及び5分周した分周クロック信号CKD1、CKD2及びCKD3が出力される。

【0090】以下、本実施形態におけるクロック切り替え回路142の動作を中心に説明する。クロック切り替え回路142は、切り替え制御回路220からの制御信号Scに応じて分周クロック信号CKD1、CKD2及びCKD3から一つの選択して、カウンタ152または154のカウント値CNT1、CNT2に応じて設定したタイミングでクロックの切り替えを行う。

【0091】図13～15は、クロック切り替え回路142の切り替え制御を示すフローチャートである。以下、図13～15を参照しつつ、クロック切り替え回路142の動作について説明する。図13は、分周クロック信号CKD1、CKD2及びCKD3のうち、中間の周波数を持つクロック信号CKD2を受信用クロック信号CK1として受信回路に出力しているときのクロック切り替え処理を示すフローチャートであり、図14は、中間周波数のクロック信号CKD2より高い周波数を持つクロック信号CKD1を受信用クロック信号CK1として受信回路に出力しているときのクロック切り替え処理を示すフローチャートであり、さらに、図15は、中間周波数のクロック信号CKD2より低い周波数を持つクロック信号CKD3を受信用クロック信号CK1として受信回路に出力しているときのクロック切り替え処理を示すフローチャートである。

【0092】まず、図13を参照しつつ、クロック信号CKD2が出力されているときのクロック切り替え処理について説明する。中間の周波数を持つクロック信号CKD2を受信用クロック信号CK1として受信回路に出力しているとき、同期ずれの検出結果に応じて受信用クロック信号が受信した放送信号より遅いかまたは早いかを検出される。当該検出の結果に応じて、速いクロック信号CKD1または遅いクロック信号CKD3に切り替える切り替え制御信号Scが出力される。そして、クロック切り替え回路142は、切り替え制御信号Scによって指示されたクロック信号を選択して、カウント値CNT1またはCNT2によって設定されたタイミングで

クロックの切り替えを行う。

【0093】まず、ステップSA1において、中間周波数のクロック信号CKD2が受信用クロック信号CK1として受信回路に供給される。次に、ステップSA2において、同期ずれの検出結果に応じて、クロック切り替えの要求が出力される。

【0094】そして、受信用クロック信号CK1が受信した放送信号より遅いか速いかが判断される（ステップSA3）。当該判断の結果に応じて、クロックの切り替えが行われる。例えば、同期ずれの検出結果、受信用クロックが受信した放送信号より遅い場合、中間周波数のクロック信号CKD2より速いクロック信号CKD1を選択する切り替え制御信号Scが出力される。

【0095】このとき、クロック切り替え回路142は、カウント値CNT1に応じて設定されたタイミングでクロックの切り替えを行う。図示のように、クロック切り替え回路142は、カウント値CNT1が0になるか否かを判断し（ステップSA4）、カウント値CNT1が0になるとき、速いクロック信号CKD1を選択して受信用クロック信号CK1として出力する（ステップSA5）。

【0096】また、クロックの同期ずれの検出結果に応じて、受信用クロックが受信した放送信号より速い場合、中間周波数のクロック信号CKD2より遅いクロック信号CKD3を選択する切り替え制御信号Scが出力される。

【0097】このとき、クロック切り替え回路142は、カウント値CNT2に応じて設定されたタイミングでクロックの切り替えを行う。図示のように、クロック切り替え回路142は、カウント値CNT2が0になるか否かを判断し（ステップSA6）、カウント値CNT1が0になるとき、遅いクロック信号CKD3を選択して受信用クロック信号CK1として出力する（ステップSA7）。

【0098】次に、図14を参照しながら、高い周波数のクロック信号CKD1が出力されているときのクロック切り替えの動作について説明する。まず、クロック信号CKD1を受信用クロック信号CK1として受信回路に出力される（ステップSB1）。そして、クロックの同期ずれの検出結果に応じて、クロック切り替え要求出力される（ステップSB2）。クロック信号CKD1は、中間周波数のクロック信号CKD2に較べて周波数が高い。このため、受信用クロック信号CK1としてクロック信号CKD1を用いて放送信号を受信し続けると、受信用クロック信号が放送信号より位相が進み、同期のずれが生じる。このとき、受信用クロック信号CK1として、中間のクロック信号CKD2に戻す処理が行われる。

【0099】クロック切り替え要求を受けたとき、クロック切り替え回路142は、カウント値CNT1に応じ

て設定した切り替えのタイミングでクロック信号CKD1から中間周波数のクロック信号CKD2に切り替える。図14に示すように、切り替え回路142はカウント値CNT1が0になるか否かを判断する（ステップSB3）。カウント値CNT1が0になると、クロック切り替え回路142は、クロック信号CKD1から中間周波数のクロック信号CKD2に切り替えて、受信用クロック信号CK1として受信回路に出力する（ステップSB4）。

【0100】次に、図15を参照しながら、低い周波数のクロック信号CKD3が出力されているときのクロック切り替えの動作について説明する。まず、クロック信号CKD3を受信用クロック信号CK1として受信回路に出力される（ステップSC1）。そして、クロックの同期ずれの検出結果に応じて、クロック切り替え要求出力される（ステップSC2）。クロック信号CKD3は、中間周波数のクロック信号CKD2に較べて周波数が低い。このため、受信用クロック信号CK1としてクロック信号CKD3を用いて放送信号を受信し続けると、受信用クロック信号が放送信号より位相が遅れ、同期のずれが生じる。このとき、受信用クロック信号CK1として、中間のクロック信号CKD2に戻す処理が行われる。

【0101】クロック切り替え要求を受けたとき、クロック切り替え回路142は、カウント値CNT2に応じて設定した切り替えのタイミングでクロック信号CKD3から中間周波数のクロック信号CKD2に切り替える。図15に示すように、切り替え回路142はカウント値CNT2が0になるか否かを判断する（ステップSC3）。カウント値CNT2が0になると、クロック切り替え回路142は、クロック信号CKD3から中間周波数のクロック信号CKD2に切り替えて、受信用クロック信号CK1として受信回路に出力する（ステップSC4）。

【0102】図16は、本実施形態におけるクロック信号の切り替えタイミングを示す波形図である。以下、図16を参照しつつ、本実施形態のクロック切り替え回路の動作について説明する。図16(a)は、クロック信号CLKの波形を示し、図16(b)と(c)は、それぞれカウント値CNT1とCNT2を示している。また、図16(d)～(f)はそれぞれ分周クロック信号CKD1、CKD2及びCKD3の波形を示し、図16(g)は、クロック切り替え回路142によって出力された受信用クロック信号CK1の波形を示している。

【0103】本実施形態のクロック切り替え回路142において、切り替え対象となるクロック信号の位相が揃ったとき切り替えを行う。即ち、例えば、クロック信号CKD2とCKD1の位相が揃ったときに、クロック信号CKD2からCKD1、またはクロック信号CK1からCK2への切り替えを行う。同様に、クロック信号C

KD2とCKD3の位相が揃ったとき、クロック信号CKD2からCKD3、またはクロック信号CK3からCK2への切り替えるを行う。

【0104】クロック信号CK1とCK2の位相が揃っているか否かの判断は、カウンタ152のカウント値CNT1に基づいて行い、同様に、クロック信号CK2とCK3の位相が揃っているか否かの判断は、カウンタ154のカウント値CNT2に基づいて行う。

【0105】上述したように、分周クロック信号CKD1とCKD2を生成するための分周比がそれぞれ3と4であるので、図16(b)、(d)と(e)に示すように、カウント値CNT1が0になるとき、即ち、クロック信号CLKの12周期毎に、クロック信号CKD1とCKD2の位相が揃う。このように、12進のカウンタ152のカウント値CNT1が0になるとき、クロック信号CKD1とCKD2の位相が揃う。同様に、分周クロック信号CKD2とCKD3を生成するための分周比がそれぞれ4と5であるので、図16(c)、(e)と(f)に示すように、カウント値CNT2が0になるとき、即ち、クロック信号CLKの20周期毎に、クロック信号CKD2とCKD3の位相が揃う。このように、20進のカウンタ154のカウント値CNT2が0になるとき、クロック信号CKD2とCKD3の位相が揃う。

【0106】これに応じて、本実施形態のクロック切り替え回路142において、カウンタ152のカウント値CNT1が0になるとき、クロック信号CKD1とCKD2との切り替えが行われる。同様に、カウンタ154のカウント値CNT2が0になるとき、クロック信号CKD2とCKD3との切り替えが行われる。

【0107】図16(g)は、クロック切り替え回路142によって出力されるクロック信号CK1の一例を示している。図示のように、まず、最初にクロック信号CKD2がクロック切り替え回路142によって選択され、受信回路に出力される。切り替え制御信号Scに応じて、次にクロック信号CKD1に切り替える。このとき、クロック切り替え回路142はカウンタ152のカウント値CNT1に応じて、切り替えのタイミングを制御する。時間t1において、カウンタ152のカウント値CNT1が0になる。即ち、このときクロック信号CKD1とCKD2の位相が揃っているので、クロック信号CKD2からクロック信号CKD1への切り替えが行われる。

【0108】次に、切り替え制御信号Scに応じて、クロック信号CKD1からCKD2への切り替えが行われる。このとき、クロック切り替え回路142はカウンタ152のカウント値CNT1に応じて、切り替えのタイミングを制御する。時間t2において、カウンタ152のカウント値CNT1がまた0になる。即ち、このときクロック信号CKD1とCKD2の位相が揃っているの

で、クロック信号CKD1からクロック信号CKD2への切り替えが行われる。

【0109】次に、切り替え制御信号Scに応じて、クロック信号CK2からCKD3への切り替えが行われる。このため、クロック切り替え回路142はカウンタ154のカウント値CNT2に応じて、切り替えのタイミングを制御する。図示のように、時間t3において、カウンタ154のカウント値CNT2が0になり、このときクロック信号CKD2とCKD3の位相が揃っているので、クロック信号CKD2からCKD3への切り替えが行われる。

【0110】そして、切り替え制御信号Scに応じて、クロック信号CK3からCKD2に切り替える。このため、クロック切り替え回路142はカウンタ154のカウント値CNT2に応じて、切り替えのタイミングを制御する。時間t4において、カウンタ154のカウント値CNT2が0になり、このときクロック信号CKD2とCKD3の位相が揃っているので、クロック信号CKD3からCKD2への切り替えが行われる。

【0111】上述したように、本実施形態において、二つのカウンタ152と154が設けられ、クロック切り替え回路142は、カウンタ152のカウント値CNT1に従って、クロック信号CKD2とCKD1との切り替えタイミングを制御し、また、カウンタ154のカウント値CNT2に従って、クロック信号CKD2とCKD3との切り替えタイミングを制御する。このため、クロック信号CKD1とCKD2の位相揃っているときにクロック信号CKD1からCKD2、またはクロック信号CKD2からCKD1への切り替えが行われる。同じように、クロック信号CKD2とCKD3の位相が揃っているときにクロック信号CKD2からCKD3、またはクロック信号CKD3からCKD2への切り替えが行われる。このため、上述した第1の実施形態に較べて、本実施形態ではクロック信号の切り替えは短い間隔ででき、放送信号との同期ずれに応じてクロック信号を適宜切り替えることで、同期ずれを随時補正でき、受信信号を高精度に再生することができる。

【0112】第4実施形態

図17は、本発明に係るクロック供給回路の第4の実施形態を示す回路図であり、受信回路に受信用クロック信号を供給する受信用クロック生成回路のもう一つの構成例を示す回路図である。図示のように、本実施形態において、受信用クロック生成回路130cは、クロック切り替え回路144、カウンタ156、及び分周回路164によって構成されている。

【0113】本実施形態の受信用クロック生成回路130cにおいて、分周回路164は、それぞれの所定の分周比でクロック信号CLKを分周し、分周クロック信号CKD1とCKD3を出力する。なお、上述した第1または第2の実施形態と異なる点は、本実施形態におい

て、中間の周波数を持つ分周クロック信号CKD2が生成されず、クロック信号CKD2より速い分周クロック信号CKD1と、クロック信号CKD2より遅い分周クロック信号CKD3のみがクロック切り替え回路144に供給される。即ち、本実施形態の受信用クロック生成回路130cにおいて、受信される放送信号よりわずかに高い周波数と低い周波数を持つ分周クロック信号を生成し、クロック切り替え回路144によって切り替え制御信号Scに従ってクロック信号CKD1とCKD3を選択して出力することで、放送信号との同期をはかる。

【0114】分周回路164において、逓倍回路120から供給されるクロック信号CLKを分周比3と分周比5で分周し、分周クロック信号CKD1とCKD3をそれぞれ出力する。ここで、例えば、クロック信号CLKの周波数を98.304MHzとすると、クロック信号CKD1とCKD3の周波数は、それぞれ32.768MHz及び19.660MHzとなる。

【0115】図18は、本実施形態における分周回路164の一構成例を示すブロック図である。本実施形態において、例えば、分周クロック信号CKD1とCKD3を生成するための分周比がそれぞれ3と5である。分周比3と5の最小公倍数は15であるので、カウンタ156は、15進のカウンタである。このため、カウンタ156のカウント値CNT3が0になるとき、分周クロック信号CKD1とCKD3の位相が揃っている。クロック切り替え回路144は、カウンタ156のカウント値CNT3に従って、クロック切り替えのタイミングを制御する。即ち、カウント値CNT3が0になるとき、クロックの切り替えを行う。

【0116】図示のように、分周回路164は、3分周回路164-1と、5分周回路164-2によって構成されている。これらの分周回路は、入力されるクロック信号CLKをそれぞれ異なる分周比で分周し、分周クロック信号CKD1とCKD3を出力する。分周回路164を構成する各分周回路は、15進カウンタ156のカウント値CNT3に応じてクロック分周を行う。例えば、3分周回路164-1では、カウント値CNT3が0, 3, 6, ...のとき、クロック信号CLKを出力し、5分周回路164-2では、カウント値CNT3が0, 5, 10, ...のとき、クロック信号CLKを出力する。これによって、これらの分周回路から入力クロック信号CLKをそれぞれ3分周、または5分周した分周クロック信号CKD1とCKD3が出力される。

【0117】図19は、本実施形態におけるクロック切り替え回路144の切り替え制御を示すフローチャートである。以下、図19を参照しつつ、クロック切り替え回路144の切り替え動作について説明する。まず、ステップSD1において、クロックの同期ずれの検出結果に応じて、クロック切り替え要求が、例えば、切り替え制御回路220によって出力される。同期ずれの検出結

果、受信回路に供給されるクロック信号CK1が受信される放送信号より遅い場合、速いクロック信号、即ち、分周クロック信号CKD1に切り替える制御信号Scが出力され、逆に、受信回路に供給されるクロック信号CK1が受信される放送信号より速い場合、遅いクロック信号、即ち、分周クロック信号CKD3に切り替え制御信号Scが出力される。

【0118】次に、クロック切り替え回路144において、カウンタ値CNT3が0になっているか否かが判断される（ステップSD2）。カウンタ値CNT3が0になると、即ち、分周クロック信号CKD1とCKD3の位相が揃っているとき、クロックの切り替えが行われる（ステップSD3）。このとき、クロック切り替え回路144は切り替え制御信号Scによって指定した分周クロック信号を受信用クロック信号CK1として選択し、カウンタ値CNT3が0になるタイミングで出力する。

【0119】上述したステップSD1～SD3の処理は、受信回路が動作している間に繰り返して行われるので、受信用クロック信号CK1と受信された放送信号との同期のずれに応じて、周波数の異なる分周クロック信号CKD1とCKD3のうち何れかが一つが選択され、受信用クロック信号CK1として受信回路に供給されるので、受信用クロック信号と放送信号との同期ずれを補正することができる。

【0120】図20は、本実施形態のクロック供給回路の動作を示す波形図である。図20(a)は、クロック信号CLKの波形を示し、図20(b)は、カウンタ156のカウント値CNT3を示している。図20(c)と(d)は、分周クロック信号CKD1とCKD3の波形を示し、図20(e)は、クロック切り替え回路144によって出力されるクロック信号CK1の波形を示している。

【0121】次に、図20を参照しつつ、本実施形態のクロック切り替え回路144の動作について説明する。図20(e)に示すように、まず、例えば、クロック切り替え回路144によって、クロック信号CKD1が選択され、クロック信号CK1として出力される。次に、切り替え制御信号Scに従って、クロック切り替え回路144によって、クロック信号CKD3が選択される。そして、カウンタ156のカウント値CNT3に従って、クロック切り替えのタイミングが制御される。

【0122】図20(b)、(c)と(d)に示すように、カウンタ156のカウント値CNT3が0になるとき、クロック信号CKD1とCKD3の位相が揃っている。このため、クロック切り替え回路144は、カウンタ値CNT3が0になる時間t1においてクロック信号CKD1からクロック信号CKD3に切り替える。

【0123】次に、クロック切り替え制御信号Scに従って、クロック切り替え回路144は、クロック信号CKD3からCKD1に切り替える。上述した切り替えと

同様に、クロック切り替え回路 144 はカウント値 CNT3 が 0 になるタイミングでクロックの切り替えを行う。即ち、図 20 (b) 及び (e) に示すように、時間 t2 において、カウント値 CNT3 が 0 になり、これに従ってクロック切り替え回路 144 は、クロック信号 CKD3 から CKD1 に切り替える。

【0124】上述したように、本実施形態のクロック供給回路において、クロック切り替え回路によって、放送信号よりわずかに周波数の高いクロック信号 CKD1 と放送信号よりわずかに周波数の低いクロック信号 CKD3 を選択して受信回路に供給する。クロックの切り替えは、カウンタ 156 のカウント値 CNT3 に従って行うので、クロック信号 CKD1 と CKD3 が位相が揃ったとき切り替えを行うことができる。

【0125】以上、本発明のクロック供給回路において、受信回路に受信用クロック信号 CK1 を供給するクロック生成回路の各実施形態について説明。本発明のクロック供給回路は、第 1 の実施形態に説明した DSP 用クロック生成回路と上述した第 2 ～ 第 4 の実施形態に説明した受信用クロック信号生成回路とによって構成されるので、信号処理回路、例えば DSP ブロックに処理負荷に応じて周波数が制御されるクロック信号を供給することができ、また、受信回路に受信した放送信号との同期ずれに応じて、周波数の異なる複数のクロック信号から一つを選択して供給するので、受信した放送信号との同期ずれを補正できる。

【0126】

【発明の効果】以上説明したように、本発明のクロック供給回路によれば、外部に低い周波数の発振器を用いるだけで、PLL 回路から構成される通倍回路によって高周波の通倍クロックを生成でき、FFT ブロック、ビタビ復号ブロックなどの受信用回路に一定の周波数を持つ受信用クロック信号を供給でき、また、受信される放送信号と受信用クロック信号との同期のずれに応じて、周波数がわずかに異なるクロック信号を切り替えて受信用回路に供給することによって、同期ずれを補正でき、受信信号を高精度に再生可能である。さらに、本発明のクロック供給回路によれば、MPEG ストリームの伸長処理などを行う DSP ブロックに処理負荷に応じて周波数が制御されるクロック信号を供給することができる。これによって、高負荷時に DSP を高速に動作させ、低負荷時に DSP を負荷に応じた低い動作速度で動作させることによって、低消費電力化を実現できる。また、本発明によれば、クロック供給回路の構成を簡略化でき、回路規模の縮小及び消費電力の低減を実現できる利点がある。

【図面の簡単な説明】

【図 1】本発明に係るクロック供給回路を含むディジタル放送受信用 LSI の構成を示すブロック図である。

【図 2】本発明に係るクロック供給回路の第 1 の実施形

態を示す回路図である。

【図 3】通倍回路の構成を示すブロック図である。

【図 4】第 1 の実施形態のクロック供給回路によって生成される受信用クロック信号 CK1 及び DSP 用クロック信号 CK2 の波形を示す波形図である。

【図 5】本発明に係るクロック供給回路の第 2 の実施形態を示す回路図であり、受信用クロック生成回路の構成を示す図である。

【図 6】第 2 の実施形態における分周回路の構成を示すブロック図である。

【図 7】DAB 放送信号のフレームの一構成例を示す図である。

【図 8】時間軸上のオフセット量を検出するための部分回路及び信号の流れを示すブロック図である。

【図 9】第 2 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 10】第 2 の実施形態におけるクロック切り替えの動作を示す波形図である。

【図 11】本発明に係るクロック供給回路の第 2 の実施形態を示す回路図であり、受信用クロック生成回路の構成を示す図である。

【図 12】第 3 の実施形態における分周回路の構成を示すブロック図である。

【図 13】第 3 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 14】第 3 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 15】第 3 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 16】第 3 の実施形態におけるクロック切り替えの動作を示す波形図である。

【図 17】本発明に係るクロック供給回路の第 4 の実施形態を示す回路図であり、受信用クロック生成回路の構成を示す図である。

【図 18】第 4 の実施形態における分周回路の構成を示すブロック図である。

【図 19】第 4 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 20】第 4 の実施形態におけるクロック切り替えの動作を示す波形図である。

【符号の説明】

10…A/D コンバータ、20…DAFC ブロック、30…FFT ブロック、40…ビタビ復号ブロック、50…DSP ブロック、60…DAC、70…COLT ブロック、80…FCG ブロック、90…MIF ブロック、100…PIO ブロック、110…テスト回路、120…通倍回路、130、130a、130b、130c…受信用クロック生成回路、132…DSP 用クロック生成回路、140、142、144…クロック切り替え回路、150、152、154、156…カウンタ、16

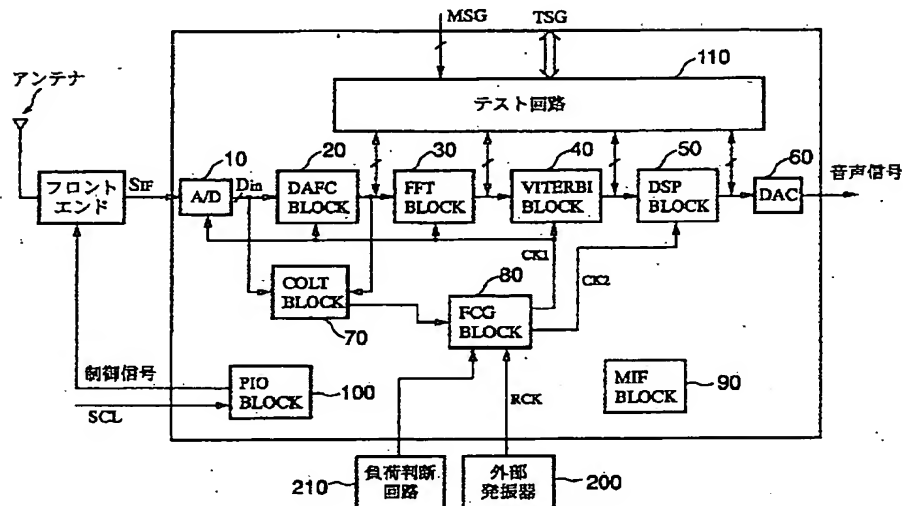
31

0, 162, 164...分周回路、200...外部発振器、
210...負荷判断回路、220...切り替え制御回路、3
10...位相比較器(PD)、320...チャージポンプ、

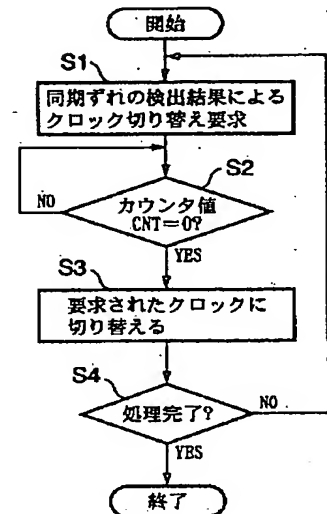
32

330...ローパスフィルタ(LPF)、340...電圧制
御発振回路(VCO)、350...分周器。

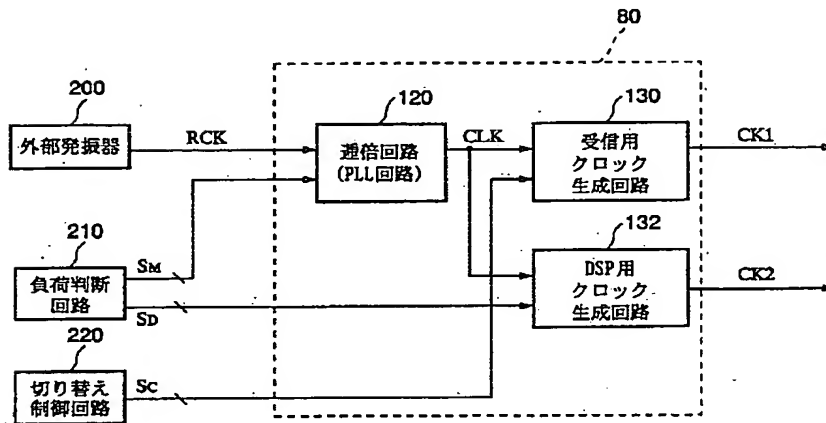
【図1】



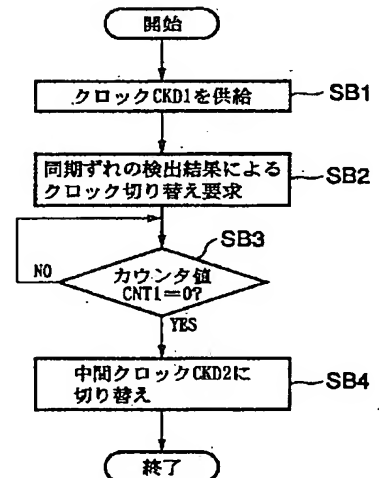
【図9】



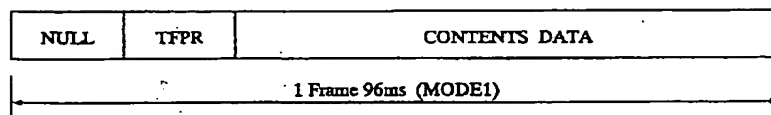
【図2】



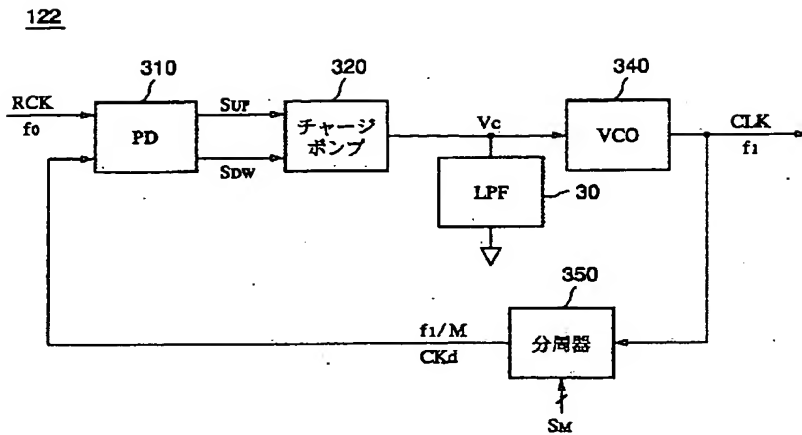
【図14】



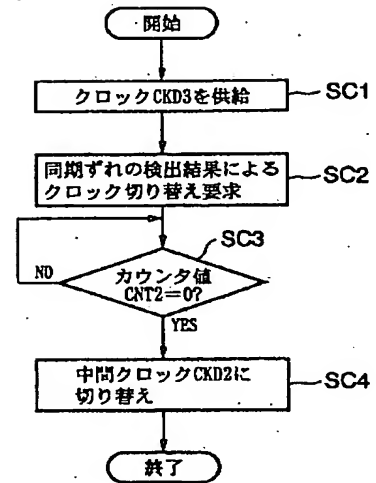
【図7】



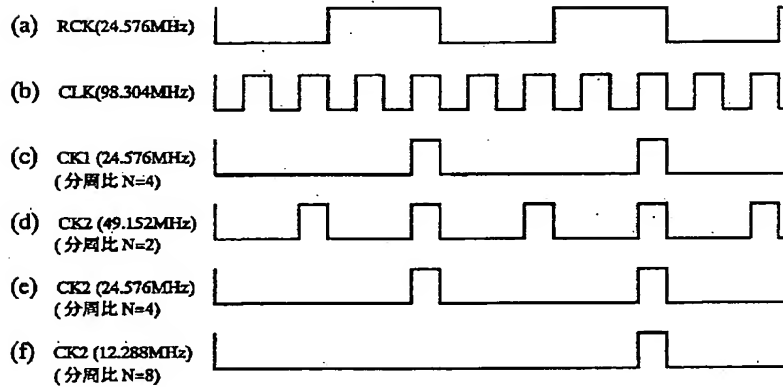
【図 3】



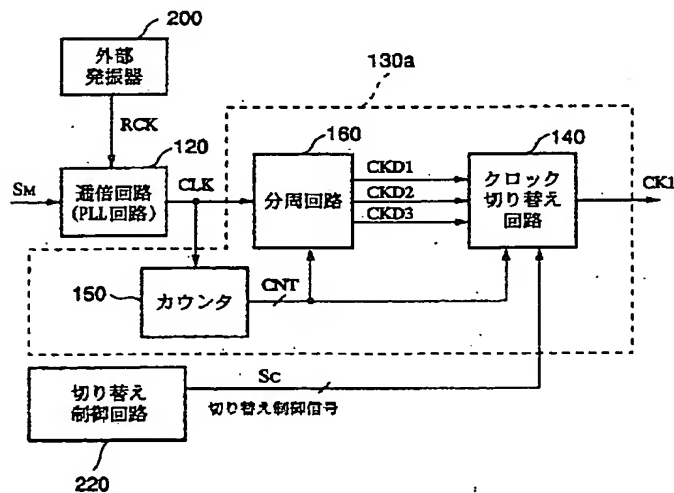
【図 15】



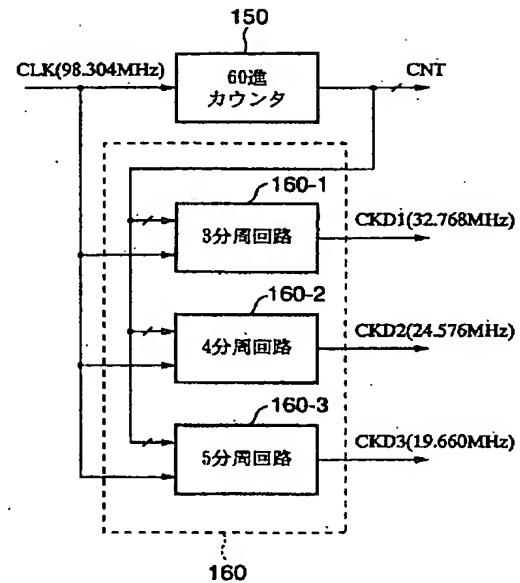
【図 4】



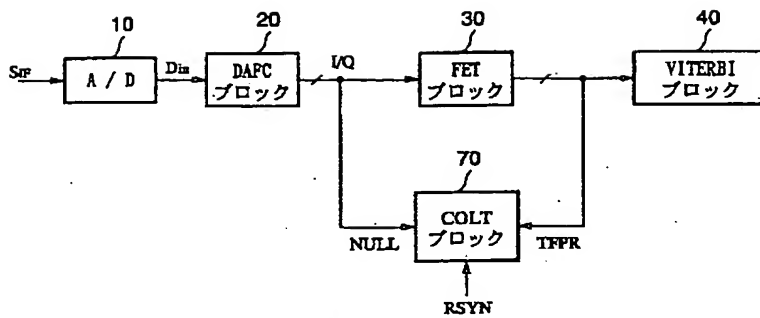
【図 5】



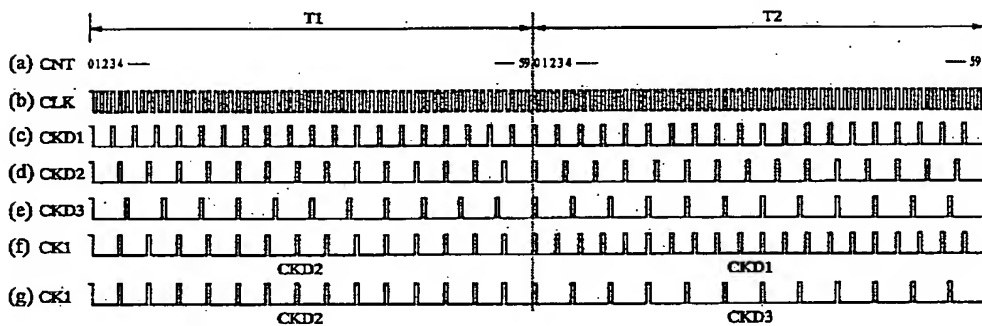
【図 6】



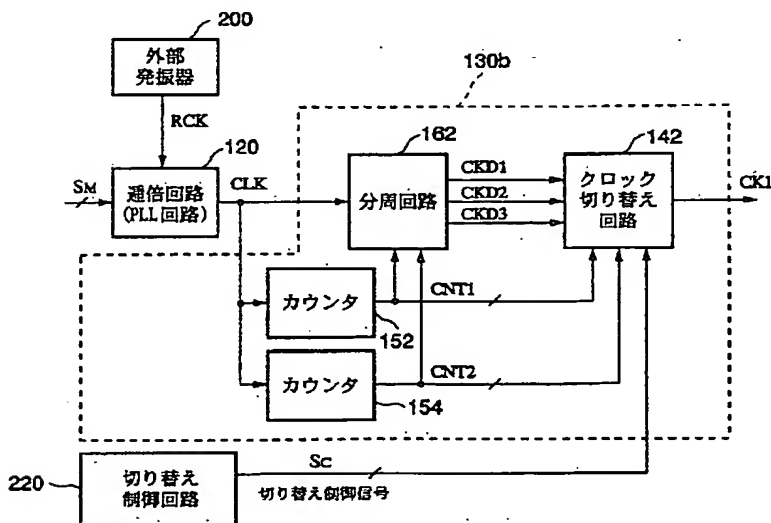
【図 8】



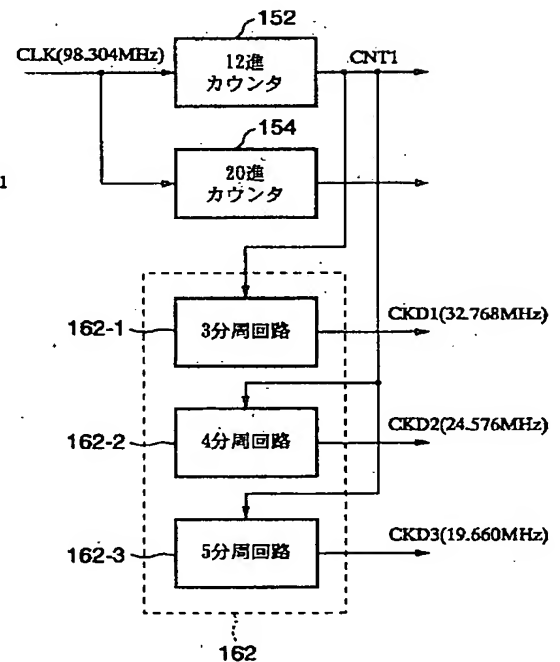
【図 10】



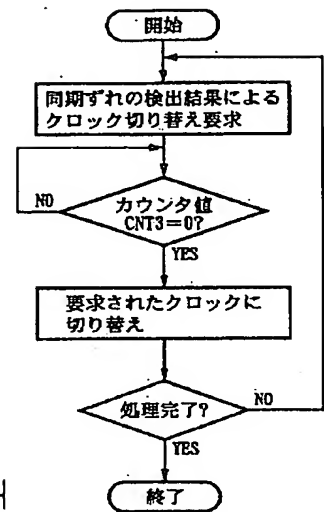
【図 11】



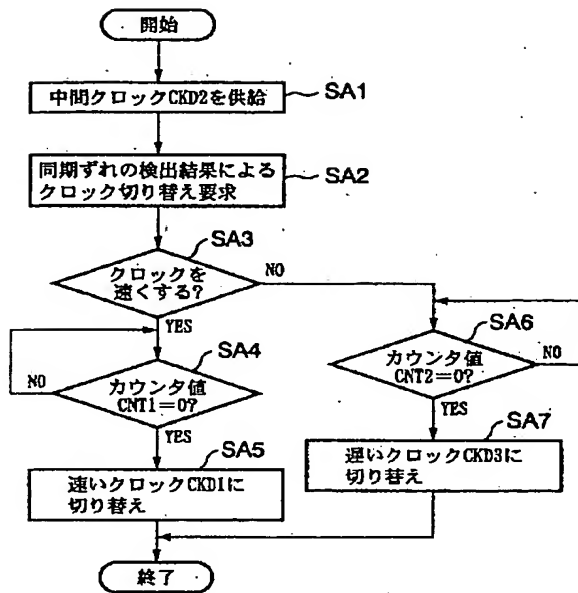
【図 12】



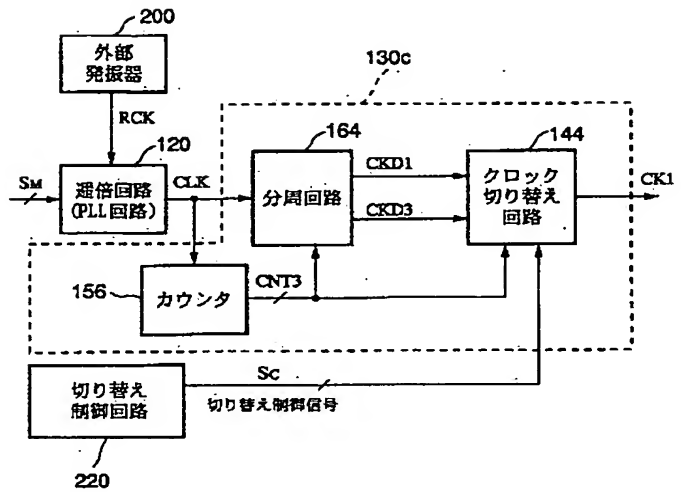
【図 19】



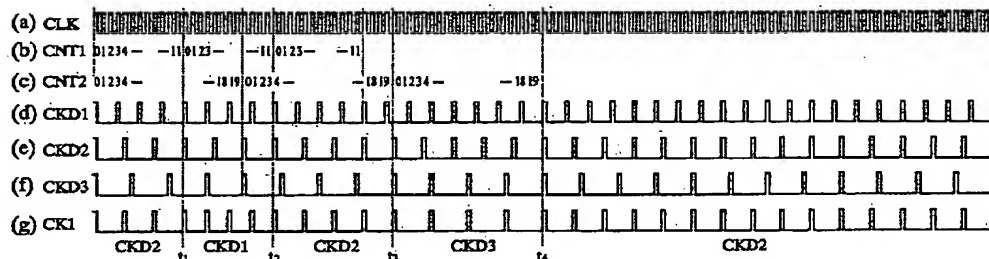
【図13】



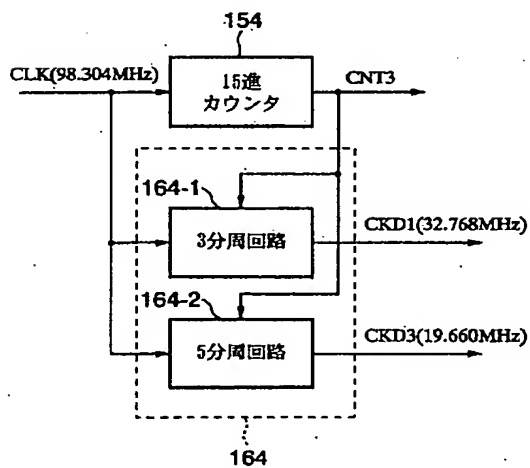
【図17】



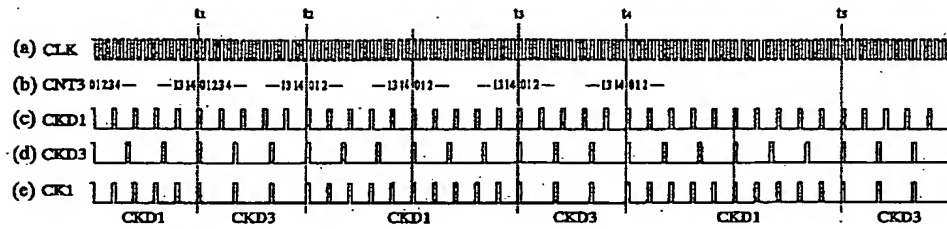
【図16】



【図18】



【図 20】



フロントページの続き

(72)発明者 後藤 勝

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72)発明者 小泉 貴義

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

F ターム(参考) 5B079 BA03 BC01 DD03 DD05 DD13
5J106 AA04 CC03 CC52 CC54 DD08
DD09 DD17 DD25 GG09 GG19
HH01 KK40
5K022 DD01 DD42
5K047 AA15 CC08 DD01 GG05 MM12
MM40 MM55 MM56